

Searching PAJ

1/1 ページ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-025147

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

G06F 17/50
G01R 31/28
H01L 21/82

(21)Application number : 09-181438

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 07.07.1997

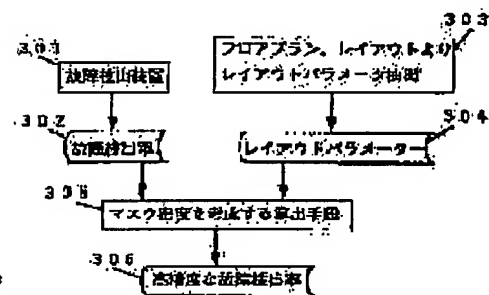
(72)Inventor : YOSHIDA TAKATERU
HIRAYAMA KATSUHIRO

(54) FAULT VERIFICATION METHOD FOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To perform a high accurate and highly efficient inspection by calculating a new fault detection rate corresponding to a physical fault occurrence rate based on masking pattern density distribution inside a chip.

SOLUTION: The fault occurrence rate is difference corresponding to the layout state of a masking pattern and it is required to consider the density of the masking pattern so as to obtain the accurate fault occurrence rate. Thus, a layout parameter 304 is extracted from a floor plan or layout information at the time of preparing the masking pattern of an integrated circuit in a processing 303. Based on both of the obtained layout parameter 304 and the fault detection rate 302 obtained from a conventional fault detector 301 such as a fault simulator or an automatic test pattern generator or the like, a calculation means 305 for considering mask density newly calculates the fault detection rate 306 of high accuracy corresponding to the physical fault occurrence rate. Thus, the highly efficient inspection is made possible.



LEGAL STATUS

[Date of request for examination] 10.04.2001

[Date of sending the examiner's decision of rejection] 07.05.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-011593

[Date of requesting appeal against examiner's decision of rejection] 07.06.2004

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-25147

(43) 公開日 平成11年(1999) 1月29日

(51) IntCl ⁵	識別記号	F I	
G 0 6 F 17/50		G 0 6 F 15/60	6 6 6 A
G 0 1 R 31/28		G 0 1 R 31/28	F
H 0 1 L 21/82		G 0 6 F 15/60	6 7 2 D
		H 0 1 L 21/82	T

審査請求 未請求 請求項の数 2 O L (全 5 頁)

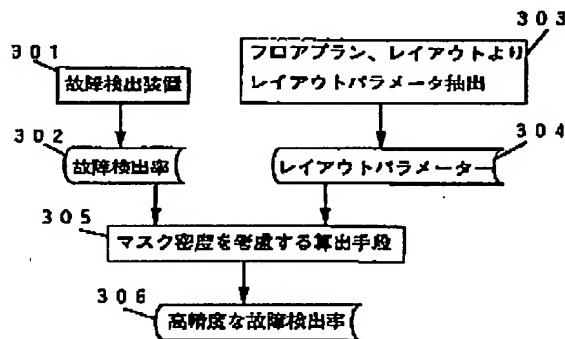
(21) 出願番号	特願平9-181438	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成9年(1997) 7月7日	(72) 発明者	吉田 貴輝 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72) 発明者	平山 勝啓 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74) 代理人	弁理士 池内 寛幸 (外1名)

(54) 【発明の名称】 集積回路の故障検証方法

(57) 【要約】

【課題】 チップ内におけるマスクパターン密度の分布に着目し、物理的な故障発生率に応じた新たな故障検出率を算出することにより、高精度かつ高効率の検査を可能ならしめ、初期不良の低減に寄与する。

【解決手段】 検査対象の集積回路のマスクパターンを作成した際のフロアプラン又はレイアウト情報から物理的なパラメータを抽出し、得られたパラメータと故障シミュレータ又は自動テストパターン生成装置から得られる故障検出率とに基づいて、物理的な故障発生率に応じた新たな故障検出率を算出する。



(2)

特開平11-25147

1

【特許請求の範囲】

【請求項1】 検査対象の集積回路のマスクパターンを作成した際のフロアプラン又はレイアウト情報から物理的なパラメータを抽出し、得られたパラメータと故障シミュレータ又は自動テストパターン生成装置から得られる故障検出率とに基づいて、物理的な故障発生率に応じた新たな故障検出率を算出する集積回路の故障検証方法。

【請求項2】 集積回路の1チップに含まれる回路を機能単位で複数のブロックに分割し、それぞれのブロックについて、マスクパターンを作成した際のフロアプラン又はレイアウト情報から物理的なパラメータを抽出し、得られたパラメータと各ブロックの故障数とから各ブロックの故障の重みを算出し、各ブロックの故障の重みに応じて各ブロックでのサンプリング率を算出し、物理的な故障発生率に応じた故障のサンプリング値を決定し、それぞれのブロックに対して決定したサンプリング値を用いてランダムサンプリングでの故障検証を行い、最後に各ブロックの故障検証結果を集計して1チップの結果を算出する請求項1記載の集積回路の故障検証方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路の効率的かつ高精度な故障検証方法に関する。

【0002】

【従来の技術】集積回路の製造プロセスにおいて、例えばマスクに微細な異物が付着すると、その付着部分でパターンブリッジ等の不良が生じ得る。このような不良は一般に、集積回路の検査工程で、所定のテストパターンを用いて入出力信号を調べることで検出される。このようなテストパターンを回路図等の情報に基づいて自動的に生成する自動テストパターン生成装置(ATPG)も良く知られている。

【0003】しかし、高度の集積回路にあっては、コストに見合う検査時間の制限から、実行するテストパターンの数も限られる。そこで、いかに短時間で効率的に集積回路の不良(以下、故障という)を検出するかが重要である。そこで、あるテストパターンで集積回路の故障をどの程度の確率で検出できるか、すなわち故障検出率の評価を行うことが必要になる。このような故障検出率の評価を本明細書では故障検証ということにする。

【0004】従来から、故障検証を高速に行う方法としてサンプリング手法が理論的に証明され、運用されている。この手法では、例えば集積回路に予(あらかじめ)人為的に故障状態を作っておき、これを検査機(又は故障検出器)にかけてその故障が正常に検出されるか否かを調べる(故障シミュレーション)。そして、あり得る全ての故障からランダムに複数の故障をサンプリングし、これらの複数の故障について上記の故障シミュレー

2

ションを行い、その故障検出結果から故障検出率を推定する。あるいは、自動テストパターン生成装置が、生成したテストパターンの組合せによる故障検出率を上記のようにして推定する機能を有することもある。

【0005】上記のサンプリング手法により推定された故障検出率と実際の故障検出率、すなわち全ての故障をシミュレートしたときの故障検出率との誤差を小さくするにはサンプリング数を大きくすればよいが、前述のように、コストに見合う検査時間の制限がある。そこで、上記の誤差が所定の許容範囲内に収まるようにサンプリング数を決めることになる。通常、集積回路の規模が大きいほど、あり得る故障の数が多くなることから、従来は、回路規模と故障検出率とに基づいてサンプリング率を決定していた。

【0006】

【発明が解決しようとする課題】しかしながら、チップ上の物理的な領域において、故障の発生原因となる現象、例えばマスクへの異物の付着が生じたとき、これが故障に結びつくのは、マスクパターンが存在する部分に異物が付着したときである。チップ上にはマスクパターンが存在しない部分があり、この部分に異物が付着しても故障にはつながらない。

【0007】通常、マスクパターンはチップ上に均一に存在しないで、マスクパターンが密である部分と疎である部分とがチップ上に生じている。したがって、故障の発生原因となる現象がチップ上でほぼ均一に発生するとしても、実際の故障が発生する確率はチップ上で均一ではなく、マスクパターンが密である部分は疎である部分に比べて故障発生率が高くなる。

【0008】従来の故障検出率は回路のネットリストとテストパターンのみを用いて算出していたので、算出された故障検出率が、実際の故障発生率の指標としての精度を保証できないおそれがあった。

【0009】そこで、本発明は、チップ内におけるマスクパターン密度の分布に着目し、物理的な故障発生率に応じた新たな故障検出率を算出することにより、高精度かつ高効率の検査を可能ならしめ、故障(初期不良)の低減に寄与することを目的とする。

【0010】

【課題を解決するための手段】本発明による故障検証方法は、検査対象の集積回路のマスクパターンを作成した際のフロアプラン又はレイアウト情報から物理的なパラメータを抽出し、得られたパラメータと故障シミュレータ又は自動テストパターン生成装置から得られる故障検出率とに基づいて、物理的な故障発生率に応じた新たな故障検出率を算出することを特徴としている。

【0011】より具体的な構成として本発明による故障検証方法は、集積回路の1チップに含まれる回路を機能単位で複数のブロックに分割し、それぞれのブロックについて、マスクパターンを作成した際のフロアプラン又

(3)

特開平11-25147

3

はレイアウト情報から物理的なパラメータを抽出し、得られたパラメータと各ブロックの故障数とから各ブロックの故障の重みを算出し、各ブロックの故障の重みに応じて各ブロックのサンプリング率を算出し、このサンプリング率で各ブロックのサンプリング故障検証を行い、最後に各ブロックの検証結果を集計して1チップの結果を算出する工程を備えている。

【0012】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。図1に示すように、矩形のチップ上にマスクパターンが存在する部分と存在しない部分とが分布している場合を仮定する。図1中、網かけされた「マスク有り部分」がマスクパターンの存在する部分であり、白地の「マスク無し部分」がマスクパターンの存在しない部分である。

【0013】また、矩形のチップ全体を上下左右に分割して4つのブロックA、B、C、Dとすると、各ブロックにおけるマスクパターン密度、すなわち、全面積にマスクパターンが占める割合が異なっている。図1の場合、マスクパターン密度はブロックBが最も高く、D、C、Aの順に低くなっている。マスクパターン密度の低い部分は、故障の発生原因となる現象が起こっても故障発生率が低い。これに対して、マスクパターン密度の高い部分は、同じ故障の発生原因となる現象による故障発生率が高くなる。例えば、図1の場合、ブロックBはブロックAよりマスクパターン密度が高いので、故障の発生原因となる現象による故障発生率はブロックBのほうがブロックAより高くなる。

【0014】一般に、チップの物理的な領域を基準とした故障発生率とマスクパターン密度との関係は、図2に示すように比例関係となる。このように、故障発生率はマスクパターンのレイアウト状態に応じて異なり、正確な故障発生率を求めるためにはマスクパターンの密度を考慮する必要がある。

【0015】本発明の故障検証方法によれば、マスクパターンを作成する際のフロアプラン又はレイアウト情報から得られる物理的なパラメータを考慮することにより、従来の故障検出率よりも高精度の故障検出率を算出することができる。本発明の故障検証方法の具体的な処理手順を図3に沿って説明する。

【0016】まず、処理303で集積回路のマスクパターンを作成した際のフロアプラン又はレイアウト情報からレイアウトパラメータを抽出する。得られたレイアウトパラメータ304と、従来の故障検出装置301から得られる故障検出率302との両方に基いて、マスク密度を考慮する算出手段305が、物理的な故障発生率に応じた高精度の故障検出率306を新たに算出する。

【0017】次に、本発明の別の実施形態について説明する。この実施形態は、サンプリング手法に本発明を適

4

用したものである。サンプリング手法とは、従来技術の説明でも述べたように、集積回路の1チップに含まれる全ての故障からランダムに複数の故障をサンプリングし、それらの故障についてのみ故障検出装置による故障検出率を求める処理を行い、その結果から全故障での故障検出率を推測する手法である。

【0018】図4に示すように、1チップにマスクパターン密度の異なる3つのブロックA、B、Cが存在する場合を仮定する。この図では、ブロックAのマスクパターン密度が最も高く、B、Cの順にマスクパターン密度が低くなっている。前述のように、マスクパターン密度が高いほど故障発生率が高い。本実施形態では、故障発生率、すなわち、マスクパターン密度に応じて各ブロックのサンプリング率を変化させる。図4に示すように、マスクパターン密度が高いブロックほどサンプリング率を大きくしているこのように、集積回路のマスクパターンを作成した際のフロアプラン又はレイアウト情報から得られる物理的なパラメータに基づいて、各ブロックの故障発生率を考慮に入れた適切なサンプリング率で故障検証を実施することにより、高精度の故障検出率を算出することができる。具体的な処理手順を図5のフローチャートに沿って説明する。

【0019】まず、故障検出装置505により1チップ全体の故障数506を算出し、1チップ全体の故障数に応じた1チップ全体のサンプリング率を507にて算出する。サンプリングによる故障検出率が、全ての故障での故障検出率に対して誤差 ΔP の範囲内に収まるためのサンプリング率 S は、下記の式から求めることができる。

【0020】

$$\Delta P = 3 \times \text{SQRT} \left((1-S) k (1-k) / SN \right)$$

この式において、 $\text{SQRT}()$ は平方根演算を表す。 k は1チップの故障検出率、 N は全対象故障数である。ランダムにサンプリングした故障数を n とすると、サンプリング率 $S = n/N$ である。

【0021】一方、集積回路のマスクパターンを作成した際のフロアプラン又はレイアウトからブロック分割のための情報502を処理501にて入手し、この情報に基づいて各ブロックごとの故障数を508にて算出する。また、マスクパターンを作成した際のフロアプラン又はレイアウト情報から物理的なパラメータ（レイアウトパラメータ）を処理503で抽出し、得られたレイアウトパラメータ504と、508にて算出した各ブロックごとの故障数とを用いて、処理509にて各ブロックの故障の重みを算出する。次に処理510では、507にて算出した1チップでのサンプリング率を、509で算出した各ブロックの故障の重みに応じて補正し、各ブロックの故障の平均的な重みに応じたサンプリング率を決定する。次に故障検出装置511で各ブロックでのサンプリング率にて検証を行い、最後に処理512に

(4)

特開平11-25147

5

6

て各ブロックで求めた検出率を集計して1チップでの故障検出率を導き出す。

【0022】以上のように本実施形態によれば、全故障からランダムに故障を抜き出して処理をすることにより効率的に、かつ物理的な故障発生率に応じた新たな故障検出率を算出することができる。本実施形態の方法は、マスクパターンのレイアウト密度が異なる複数の機能コアを1チップにする場合、又はプロセス密度の異なる機能コアを1チップにする場合に特に有効である。例えば、マスクパターン密度の高い乗算器及びメモリとマスクパターン密度の低いロジック回路とが1チップに含まれている場合、前者は後者に比べて故障発生率が高いため、前者のサンプリング率を後者のものより高くする。また、プロセスの異なるDRAMとロジック回路とを混載する場合、あるいはパターン微細化率の異なるブロックを混載する場合にも本実施形態を適用できる。

【0023】また、集積回路の1チップに故障検出率が既知のブロックを含む場合、あるいは故障検出率が既知のブロックを新たに追加して1チップとする場合は、図5の故障検出装置511による再検証を省略し、処理512にて各ブロックで求めた検出率を集計して最終1チップでの故障検出率を導き出すことができる。これにより、無駄な処理を省き、効率的に故障検出率を算出することができる。

*【0024】

【発明の効果】以上のように本発明によれば、物理的な故障発生率に応じた新たな故障検出率を算出することにより、高精度かつ高効率の検査を可能ならしめ、故障の低減に寄与することができる。特に、マスクパターンのレイアウト密度が異なる複数の機能コアを1チップにする場合、又はプロセス密度が異なる複数の機能コアを1チップにする場合に有効である。

【図面の簡単な説明】

10 【図1】本発明による故障検証方法が適用される集積回路のマスクパターンの分布を模式的に例示する図

【図2】マスクパターン密度と故障発生率との関係を示すグラフ

【図3】本発明の第1の実施形態による故障検証方法のフローチャート

【図4】本発明の第2の実施形態による故障検証方法が適用される集積回路のブロック毎(ごと)のマスクパターン密度を模式的に提示する図

20 【図5】本発明の第2の実施形態による故障検証方法のフローチャート

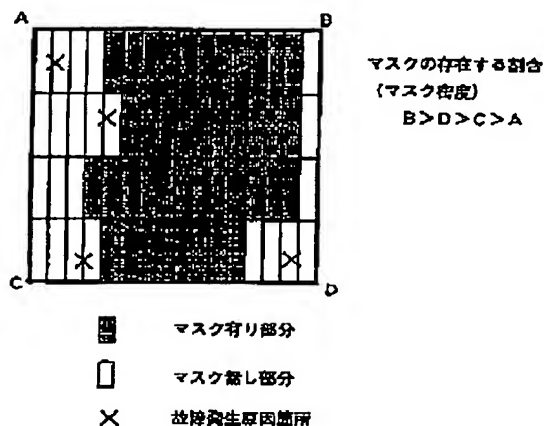
【符号の説明】

301, 505 故障検出装置

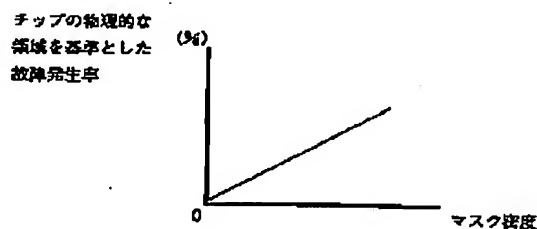
303, 603 パラメータ抽出手段

* 305, 505, 511 故障検出率算出手段

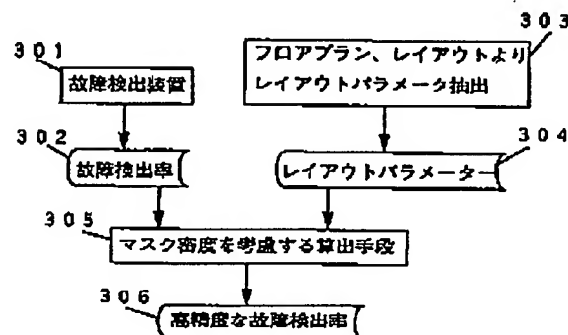
【図1】



【図2】



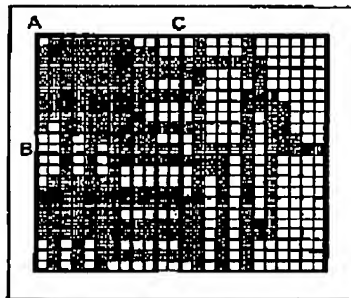
【図3】



(5)

特開平11-25147

【図4】



- マスク部分 (サンプリングする故障検証対象故障)
 □ マスク部分 (サンプリングしない故障)
 □ マスクのない部分
 マスク密度 $A > B > C$

【図5】

